

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-020027

(43)Date of publication of application : 01.02.1984

(51)Int.Cl. G06F 3/00

(21)Application number : 57-130591 (71)Applicant : TOSHIBA CORP

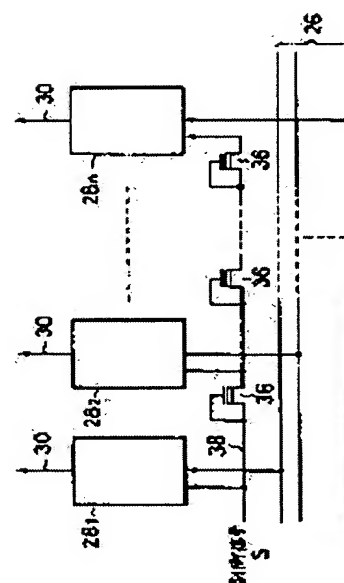
(22)Date of filing : 27.07.1982 (72)Inventor : IWAHASHI HIROSHI  
ASANO MASAMICHI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To reduce a momentary peak current and attain a high response speed, by delaying and operating plural output buffers at an output time and stopping plural buffers simultaneously as an operation stop time.

**CONSTITUTION:** When a control signal S is (0), data are outputted from output buffers 281W28n. In this case, delay means are provided for the purpose of preventing buffers 281W28n from being turned on simultaneously. This delay means is MOSFET36 connected to a control line 38 on the input side of the signal S. In this MOSFET36, the delay time of the transmission of the signal S for the change of the signal S from (1) to (0) is longer than that for the change from (0) to (1). Consequently, since data are not outputted simultaneously from buffers 281W28n to an external bus, the peak current is not abnormally high. The reason why the transmission time for the change of the signal S from level (0) to level (1) and that from level (1) to level (0) are made different from each other is because the output time is made different when outputs are outputted from output buffers to an external bus 30 and the response speed is made higher when outputs are not outputted.



---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision  
of rejection or application  
converted registration]

[Date of final disposal for  
application]

[Patent number]

[Date of registration]

[Number of appeal against  
examiner's decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

平成 1. 9 . 5 発

手 宛 和 正 登

平成元年 6.12 日

特許庁長官 吉 田 文 蔵 取

特許法第17条の2の規定による補正の掲載  
昭和 57 年特許願第 130591 号 (特開昭  
59-20027 号, 昭和 59 年 1 月 1 日  
発行 公開特許公報 59-201 号掲載) につ  
いては特許法第17条の2の規定による補正があっ  
たので下記のとおり掲載する。 6 ( 3 )

Int. Cl. ' 6	識別記号	庁内整理番号
G06F 1/00		K-7230-5B

1. 事件の表示

特願第57-130591号

2. 発明の名称

半 導 体 装 置

3. 補正をする者

事件との関係 特許出願人

( 107 ) 株式会社 東 芝

4. 代 理 人

東京都千代田区板橋3丁目7番2号

〒100 電話 03 (502) 3181 (大代表)

(5847) 弁理士 鈴 江 武 彦

5. 出 発 協 正

6. 補正の対象

明 細 書

7. 補正の内容

特許請求の範囲を別紙の通り訂正する。

特許庁  
1. 6.12

2. 特許請求の範囲

(1) 前記図面の第1トランジスタ群を外部に出力するため  
に使用される出力端子に接続され "0" データ  
を出力する時オン状態に設定される振数の第1ト  
ランジスタ群及び "1" データを出力する時オン  
状態に設定される振数の第2トランジスタ群と、  
これら振数の第1トランジスタ群あるいは振数の  
第2トランジスタ群のトランジスタが、オンする  
時期に適宜の差をつける第1の手段とを具備した  
装を特徴とする半導体装置。

(2) 前記振数の第1トランジスタ群あるいは  
前記振数の第2トランジスタ群のトランジスタの  
オフする時期をほぼ同時期とする第2の手段を具  
備したことを特徴とする特許請求の範囲第1項に  
記載の半導体装置。

(3) 前記第1の手段は、前記第1のトランジ  
スタ群のトランジスタあるいは前記第2のトラン  
ジスタ群のトランジスタのゲートにデータが伝達  
される時間に差をつける第2の手段であることを特  
徴とする特許請求の範囲第1項あるいは第2項に

記載の半導体装置。

出願人代理人 弁理士 鈴江武彦

(10)  
- 1 -

특허출59-29027(4)

おいては複数の出力バッファを逐次させて動作  
 する、また動作停止時には複数の出力バッファ  
 を同時に停止させることができる。従って誤時  
 ビート電流を減少させると共に、他の構成から  
 のバスラインへのアーダ出力を遅くするため、  
 応答速度の速いマイクロコンピュータシステム  
 等の半導体装置が提供できるものである。

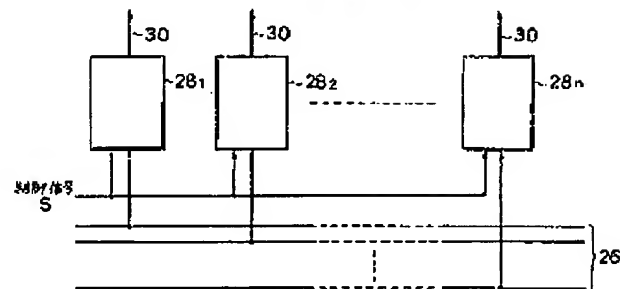
#### 4. 図面の簡単な説明

第1図は従来のCPUの出力バッファ回路図、  
 第2図は本発明の一実施例を説明するための回  
 路図、第3図は本発明の他の実施例を説明する  
 ための回路図、第4図は同図の一部詳細回路  
 図、第5図は同図の動作を示す信号波形図で  
 ある。

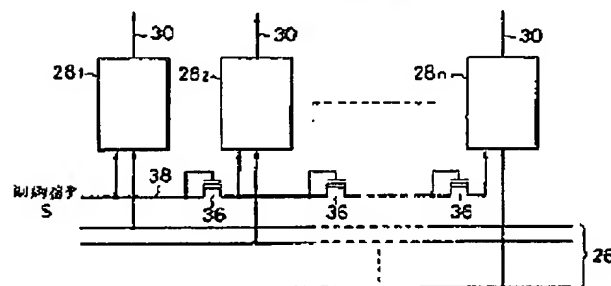
26…内部バス、28<sub>1</sub>～28<sub>n</sub>…出力バッ  
 ファ、30…外部バス、36…信号遅延用トラン  
 ジスタ。

出願人代理人 弁護士 鈴 江 武 彦

第 1 図

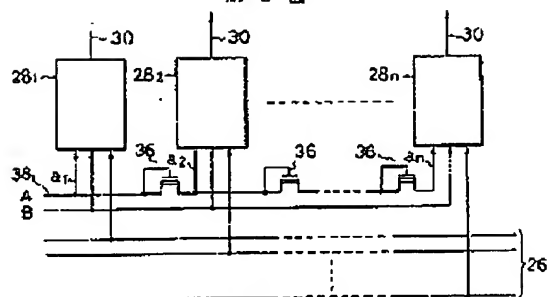


第 2 図



特開第59- 20027(B)

第 3 期



第 4 章

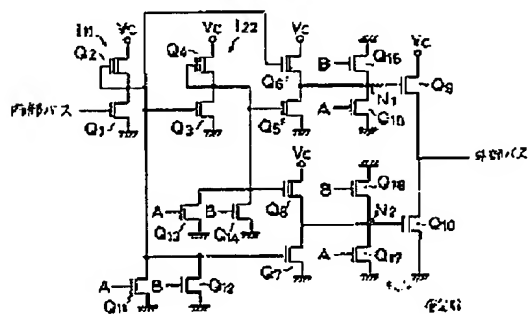


圖 5 耶

